

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-196680

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

H01L 27/148

H04N 5/335

(21)Application number : 04-342322

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 22.12.1992

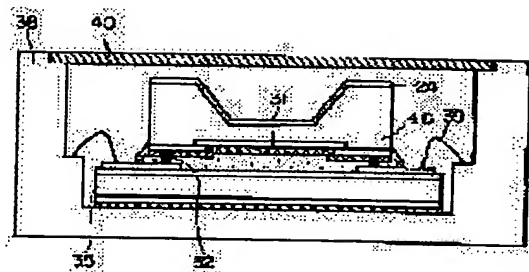
(72)Inventor : YAMAMOTO AKINAGA  
MURAMATSU MASA HARU  
SUYAMA MOTOHIRO

## (54) SEMICONDUCTOR ENERGY DETECTOR AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To provide a semiconductor energy detector having excellent sensitivity to energy beams such as short wavelength light.

**CONSTITUTION:** A P-type silicon layer 48 with a CCD 31 is installed onto a silicon wafer 35. A wide band gap layer 24 consisting of P-type amorphous silicon carbide is formed on the incidence plane side of the energy beams of the P-type silicon layer 48, thus forming a hetero-junction. Since the excellent state of accumulation is realized in a rear irradiation type semiconductor energy detector having the structure, thus allowing the reading of approximately all signal charges generated, then manufacturing the energy detector having superior sensitivity.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

4/4

特開平6-196680

(43) 公開日 平成6年 (1994) 7月15日

(51) Int. Cl. <sup>5</sup>

H 0 1 L 27/148

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

F

7210-4M

H 0 1 L 27/14

B

審査請求 未請求 請求項の数6 (全 12 頁)

(21) 出願番号 特願平4-342322

(22) 出願日 平成4年 (1992) 12月22日

(71) 出願人 000236436

浜松ホトニクス株式会社  
静岡県浜松市市野町1126番地の1

(72) 発明者 山本 晃永

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 村松 雅治

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 須山 本比呂

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

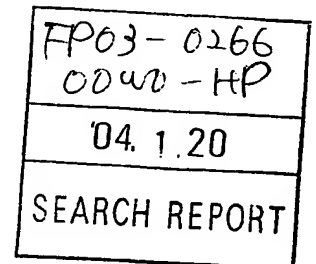
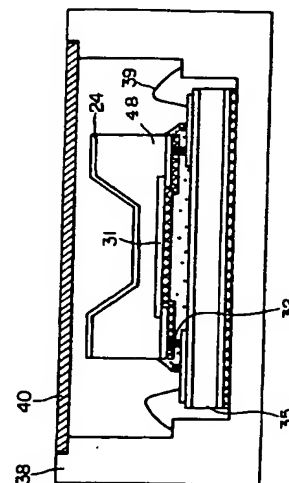
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 半導体エネルギー検出器とその製造方法

(57) 【要約】

【目的】 短波長光等のエネルギー線に対する感度が良好な半導体エネルギー検出器を提供することを目的とする。

【構成】 シリコンウエファ 35 上には、CCD 31 を有する P 型シリコン層 48 が設置されている。この P 型シリコン層 48 のエネルギー線の入射面側には、P 型アモルファスシリコンカーバイドからなるワイドバンドギャップ層 24 が設けられ、ヘテロ接合を形成している。この構造を有する裏面照射型半導体エネルギー検出器では、良好なアキュムレーション状態が実現されるので、発生した信号電荷のほとんど全てを読み取ることが可能であり、感度の良い安定なエネルギー検出器となる。



## 【特許請求の範囲】

【請求項1】 第1の導電型を有する半導体薄板の表面に、1次元あるいは2次元的な配列を有する電荷読み出し部が形成され、前記半導体薄板の前記電荷読み出し部の形成面に対する裏面から入射する電磁波あるいは荷電粒子のエネルギーを検出する半導体エネルギー検出器において、

前記半導体薄板の裏面には、第1の導電型を有し、且つ、半導体薄板の組成材料の有するバンドギャップよりも大きなバンドギャップを有する半導体材料からなる半導体層が形成され、前記半導体薄板と前記半導体層はヘテロ結合していることを特徴とする半導体エネルギー検出器。

【請求項2】 前記半導体薄板の形成材料と前記半導体層の形成材料とは同種の材料であり結晶構造が相違している、ことを特徴とする請求項1記載の半導体エネルギー検出器。

【請求項3】 前記半導体薄板の形成材料と前記半導体層の形成材料とは異種の材料である、ことを特徴とする請求項1記載の半導体エネルギー検出器。

【請求項4】 前記半導体層の内部で光電変換が実質的には行なわれない厚さに形成される、ことを特徴とする請求項1記載の半導体エネルギー検出器。

【請求項5】 第1の導電型を有する半導体基板の表面に、1次元あるいは2次元的な配列を有する電荷読み出し部を形成する第1の工程と、

前記電荷読み出し部の形成面に対する前記半導体基板の裏面を加工して、前記半導体基板を半導体薄板とする第2の工程と、

前記半導体薄板の裏面に、第1の導電型を有し、且つ、半導体薄板の組成材料の有するバンドギャップよりも大きなバンドギャップを有するとともに前記半導体薄板の組成材料とヘテロ接合する半導体材料を堆積して半導体層を形成する第3の工程と、

を含むことを特徴とする半導体エネルギー検出器の製造方法。

【請求項6】 前記第3の工程での半導体層の形成は、CVD法による、ことを特徴とする請求項5記載の半導体エネルギー検出器の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、紫外線や $\gamma$ 線、あるいは荷電粒子線などの吸収係数が極めて大きいエネルギー線の照射に対して有効な、裏面照射型の電荷転送型半導体エネルギー検出器に関するものである。

## 【0002】

【従来の技術】 電荷転送素子(CCD)は、アナログ電荷群を外からクロックパルスに同期した速度で一方向に順繰りに送るものであり、一端に出力部を設けておけば、空間情報を時系列信号に変換できる極めて巧妙な機

能デバイスである。しかし、2次元の画像情報を時系列信号として取り出すには、デバイスの構成上の工夫が必要である。上記デバイスに光を照射したままで電荷を転送したのでは、それぞれの場所で光励起された電荷と転送されてきた電荷とが混じり合って、いわゆるスミアと呼ばれる現象が発生し、映像信号が劣化する。これを避けるためには、光を照射している期間(電荷蓄積期間)と電荷を転送する時間(電荷転送期間)とを時間的に分けるいわゆる時分割動作が考えられる。この場合、映像信号が出力される時間は電荷の転送時間内に限られ、映像信号は間欠的な信号となる。

【0003】 一般に、実用的なCCD撮像デバイスとしては、フレーム転送(FT)、フル・フレーム転送(FFT)、インターライン転送(IT)構成の三方式が代表的であり、このうち計測用としては、主にフル・フレーム転送方式が用いられる。

【0004】 以下、フル・フレーム転送方式について説明する。図10及び11はフル・フレーム転送方式の構成を示すものであり、図10はその上面図、図11はその要部の断面図である。図10に示すようにこの方式では、基板に形成されたチャンネルストップ拡散層1によって電荷転送のチャンネルが垂直方向に分割され、水平画素数に対応する画素列を形成する。一方、このチャンネルストップ拡散層1に直交して転送電極群2を配置している。前述のFT方式では、この電極群は上下2つにグルーピングされ、上半分を受光用のCCD、下半分を信号電荷を一時蓄積するCCDとして使うが、同図に示すフル・フレーム転送方式CCDでは蓄積部はない。したがって、電荷を転送する時間中、即ち読みだし時間中は、シャッタを閉じるなどしてCCDに光が入射しないようにしなければいけない。なお、垂直方向の4列の画素列の間には3本のオーバーフローライン5が形成されている。

【0005】 図11に示すように、一画素はCCDの一段分を構成するクロックパルス( $\phi_1 \sim \phi_4$ )の相数

(4)に対応する数の電極20とチャンネルストップ拡散層1で囲まれた面積となる。垂直転送クロックパルス電極群2はクロックパルス $\phi_1 \sim \phi_4$ をポリシリコン電極20に供給する。PSG(リンガラス)による層間絶縁膜19はポリシリコン電極20の上面に堆積され、この電極20とシリコン基板48上のn-ウェル22との間にはゲート酸化膜21が介在されている。

【0006】 受光領域に光が入射すると、図11に示すように励起された信号電荷が一つの転送電極(蓄積電極)、即ち立ち上がったクロックパルス $\phi_1$ が加えられたポリシリコン電極20下のポテンシャル井戸3に集められる。

【0007】 光信号を信号電荷に変換する電荷蓄積時間が終わると、受光領域上にある垂直転送電極群2に与えられたクロック電圧 $\phi_1 \sim \phi_4$ が順次立ち上がり、信号

電荷の読み出しが開始される。しかしフル・フレーム転送CCDにおいては、前述したようにFT-CCDのような受光部とは別のいわゆる蓄積部というものがない。このため、信号読み出しを開始する前にシャッタを閉じるなどして光信号の入力を遮断しなければ、転送している途中の信号に新たに光信号が混入してくることになり、信号純度が低下する。但し、単発現象をとらえる場合には、信号電荷の転送中に新たな光入力はないと考えられるから、シャッタ等は必要ない。

【0008】ここで、図10を用いて信号読みだし動作について説明する。信号電荷は垂直転送用クロックパルス電極群2に与えられるパルス $\phi_1 \sim \phi_4$ によって1行ずつ下方に送られ、水平読みだしレジスタ6を通して出力端に転送される。すなわち同図において、まず一番下の行にある信号電荷が同時に水平読みだしレジスタ6に送り込まれ、水平方向に高い周波数のクロック $\phi_5, \phi_6$ で転送され、時系列信号として出力端から読み出される。なお、水平転送クロック $\phi_5, \phi_6$ は水平転送用クロックパルス電極群7から加えられる。このときすでに次の信号電荷が垂直レジスタの1段下方に移動しているので、次の垂直転送クロックパルスで水平読みだしレジスタ6に入り、出力端に読み出される。このようにして、1画面分の信号電荷が全て水平読みだしレジスタ6を通して読み出されると、シャッタを開き新たな信号蓄積動作を開始する。以上のように、水平読みだしレジスタ6は垂直レジスタに比べて高速で動作するので、2相クロックパルス $\phi_5, \phi_6$ として高速転送を可能にしている。

【0009】ここで、図12(a)にCCDにオンチップされた読み出し回路の例を、同図(b)に印加クロックパルスと出力波形の関係を表す例をそれぞれ示す。パルスの基準点は0Vで、+12Vの振幅である。クロック $\phi_5, \phi_6$ の与えられた電極下の領域17、18は水平レジスタ6の最終部を表している。なお、n-ウェル22には+12V<sub>cc</sub>、アウトプットゲート(OG)13には+7V<sub>cc</sub>、リセットドレイン(RD)16には+12V<sub>cc</sub>、基板48には+5V<sub>cc</sub>が加えられている。また、増幅用のMOSFETのドレイン8には15V<sub>cc</sub>、ソース9は負荷抵抗を介して接地されている。したがって、このMOSFETはソースフォロワ回路として動作している。以下、同図(b)を用いて動作を説明する。

【0010】水平レジスタ6によって信号電荷が次々と読みだし回路に転送されてくると仮定する。今、時刻 $t_1$ において、クロックパルス $\phi_5$ はハイレベルになっているので、クロック $\phi_5$ の加えられた電極7の下領域17にポテンシャル井戸が形成されていて、信号電荷は領域17に転送されている。次に時刻 $t_2$ でクロック $\phi_5$ がローレベル、 $\phi_6$ がハイレベルになるので、クロック $\phi_6$ の加えられた電極7下の領域17におけるポテンシャル井戸は消え、クロック $\phi_6$ の加えられた電極7下

の領域18にポテンシャル井戸が形成される。したがって、前述の信号電荷は領域18に転送される。時刻 $t_3$ においては、リセットゲート(RG)15にパルスが加えられるので、フローティングディフュージョン(FD)14の電位はRD16の電位である12Vにリセットされる。時刻 $t_4$ では、FD14にまだ信号電荷は転送されてきていないので、電位はリセット値を維持している。時刻 $t_5$ においてはクロック $\phi_5$ がローレベルになるので、水平レジスタ6の最終部の領域18に存在した信号電荷はOG13に加えられた低いDCバイアスによって形成されている低いポテンシャル障壁を乗り越え、FD14に至り、その電位を変化させる。同図

(b)の出力電圧の例でもわかるように、電子が流れ込んでくるので、クロック $\phi_5$ がローレベルになると出力は下に向かって伸びる。FD14は、配線によってソースフォロワ回路(MOSFET)のゲートにつながれており、そのソースからはゲートに入力されたのと同じ大きさの出力を低インピーダンスで得ることができる。

【0011】このようにフル・フレーム転送方式の特徴は、蓄積部がなく受光部の面積が大きくとれるので、光の利用率高く、したがって計測用など微弱光の用途に広く用いられる。反面、入射光が転送電極で吸収されるので、波長が短い青色の光に対する感度低下が著しい。先に述べたように、図11は典型的な受光部を示すものであるが、ポリシリコン電極20が隙間なく表面を覆い、またそれぞれの電極の分離のため、厚さ数ミクロンにも及ぶPSG膜19が重ねられている。特に、ポリシリコンは、400nm以下の波長の光や電子を吸収してしまうので、光電変換に寄与することができない。

【0012】このような光検出器に関しては、基板48を15 $\mu\text{m}$ から20 $\mu\text{m}$ 程度に薄くして、図13に示すように光を裏面から照射するようにしたものがある。光電変換部はゲート酸化膜21の下に設けられて、ポリシリコン電極20が隙間無く覆い、短波長光を吸収してしまうが、基板48の裏面には薄い酸化膜23の他に障害物はなく、短波長光に対して高感度が期待できる。この裏面照射型CCDは0.1nm程度の短波長光まで感度があり、更に電子衝撃型CCD撮像デバイスにも応用される。このデバイスは電子衝撃により生じる信号電荷の増倍作用を利用できるので、高感度撮像デバイスとして期待される。

【0013】ここで裏面照射型CCDの製造プロセスの代表例を説明する。まず、ウエファとしてP/P'型エピウエファを用いる。このエピ層の比抵抗及び厚さは、それぞれ30 $\Omega\text{-cm}$ 、30 $\mu\text{m}$ であり、サブの比抵抗及び厚さは、それぞれ0.01 $\Omega\text{-cm}$ 、500 $\mu\text{m}$ である。このエピウエファに対し、予めアルミニウム(A1)配線工程まで含めたすべてのCCD製造プロセスを終了させる。後の工程での、受光部シリコンの薄形化後にアルミニウム配線を施すことも当然考えられるが、薄

形化した膜の部分に写真食刻法を用いるのは困難であり、またアルミニウム配線プロセス中に薄形化した部分が割れるなどのおそれがある。このため、薄形化する前にできる限り多くのプロセスを終了しておく必要があるからである。

【0014】次に、ウエファ裏面についている窒化シリコン及び酸化膜を除去する。

【0015】その後、裏面全面にクロームと金が積層されてなるクローム/金層を堆積する。そして、受光面に当たる部分、即ち裏面入射面に相当する領域のみ、クローム/金層を除去する。

【0016】上記エビウエファをチップに分割後、ホルダにワックスで取り付ける。その後、 $\text{HF}:\text{HNO}_3:\text{CH}_3\text{COOH}=1:3:8$ の割合のエッチング液を用い、チップの周辺部を厚く残したまま裏面からシリコン基板をエッチングする。このエッチング液は硝酸リッチであるため、弗酸による溶解律速でエッチングが進む。ここで、溶解律速のエッチャントが広く使用されている理由を説明する。もし弗酸リッチならば、酸化律速でエッチングが進む。使用されるウエファが $\text{P}/\text{P}^+$ 型なので、 $\text{P}^+$ 層のみを選択的にエッチングすれば、膜厚の絶対値及び面内の均一性において優れたものが製作でき、短波長感度の再現性や均一性のコントロールが非常に容易い。 $\text{P}^+$ 層の酸化速度は速いので、酸化律速のエッチング液を使用すれば膜厚の均一性や再現性が優れたものを作り出し易い。

【0017】しかし現実には、 $\text{P}^+$ 層の中には多数の結晶欠陥があり、結晶欠陥は $\text{P}^+$ 層より更に酸化速度が速いので、エッチングも速く行われることになり、結局エッチングの途中にあった結晶欠陥がエッチング面の膜厚を不均一にさせ、受光面を曇らせる結果になる。したがって、酸化律速のエッチャントは使用できず、膜厚のコントロールは行いにくい、溶解律速のエッチャントを使用せざるを得ないことになる。また、エッチャントとしてアルカリ系のものを使用すれば、膜厚の均一性コントロールのし易さにおいて優れるが、CCDのようなMOSデバイスではアルカリ金属でゲート酸化膜が汚染され、しきい値電圧などを設計値と違ったものとし、動作不良を引き起こす。したがって、従来、プロセスにおいてはアルカリ系のエッチャントを使用していなかった。

【0018】次に、膜厚の測定を行う。この結果、膜厚が所望の値として不十分である場合は、再度エッチングを行う。

【0019】次に、上述のウエファを $120^\circ\text{C}$ 蒸気中で48時間、裏面酸化を行う。すでにA1配線まで終了しているので、高温を加えて酸化することは不可能である。このため、 $120^\circ\text{C}$ という低温で長時間酸化を行っている。

【0020】次に、裏面酸化膜に負イオンを照射する、いわゆる裏面アキュームレーションを行う。前述したよ

うに、裏面照射型CCDは、CCDの裏面が光の入射面となる。通常CCDを形成するシリコンウエファの厚さは数百ミクロンである。また、 $200\text{nm}$ から $300\text{nm}$ の光は吸収係数が非常に大きく、そのほとんどが表面からわずかに入ったところで吸収されてしまう。したがって、数百ミクロンの厚さを有するCCDをそのまま裏面照射型として使用しても、裏面で発生した光電子は表面にあるCCDのポテンシャル井戸に拡散していくことができず、ほとんどは再結合して失われてしまう。また、そのうちのいくらかはポテンシャル井戸まで到達できたとしても、長い道のりを拡散してくる間に信号同士が混じり合い、いわゆる解像度を著しく低下させる。したがって、裏面照射型CCDでは、受光面である裏面をエッチング、研磨によって薄くして、発生した電子が最短距離で表面のポテンシャル井戸に到達できるようにしなくてはならない。

【0021】図13に示すような、代表的なシリコンによる検出素子の厚さは $10\sim 15\mu\text{m}$ である。ここで酸化膜23は、厚さ数十オングストロームから数百オングストロームである。

【0022】図14は、図13において薄形化したシリコン検出素子について、受光面から表面のCCDに至るまでの断面のポテンシャルプロファイルを示したものである。図面に向かって左側が裏面、右側が表面を表している。なお、基板48はP型である。基板48の裏面には、保護膜である酸化膜23が成長されている。

【0023】しかし、酸化膜23には酸化膜電荷や界面準位が必ず存在し、これらはいずれもP型シリコン基板48の表面を空乏化させるように働く。即ちポテンシャルプロファイルで見れば、図14中の実線で示したように裏面の酸化膜23に近づくにしたがって電子に対するポテンシャルが低くなり、即ち裏面から浅いところで生じた光電子はCCDのポテンシャル井戸には行くことができず、裏面酸化膜23とシリコンの界面に押しやられ再結合するのを待つ運命となる。したがって、受光部を薄形化し裏面を酸化後、負に帯電したイオンを照射することにより裏面酸化膜23に近いP型シリコン48の表面をアキュームレーション状態にし、図14中の点線に示したようなポテンシャルプロファイルにする。これにより、裏面の浅いところで生じた光電子も効率よく表面側のCCDのポテンシャル井戸に到達することができる。

【0024】なお、一般的にアキュームレーションを行う際には、P型シリコン基板に対してボロンをイオン注入すれば良いが、イオン注入層はアモルファス状となり、その後の熱処理で再結晶化とイオン注入したボロン原子の活性化を行わなくてはならない。通常この熱処理(アニール)は $600^\circ\text{C}$ 付近と $1000^\circ\text{C}$ 付近の熱処理を連続して行ういわゆる2ステップアニールを行う必要がある。アニールが不足すれば、リーク電流の発生源と

なり好ましくない。しかし、Al配線がすでに施されているので、このような高温のアニールを行うことができない。したがって、イオン注入による裏面シリコンのアクيومレーションはできず、負イオンを照射するというような消極的なアクيومレーションしか採用していないのが現実である。

【0025】最後に、上述の操作を経たウエファを、パッケージ内に実装する。CCDを冷却してリーク電流やrmsノイズを下げることは微弱光を計測する上で重要な技術である。したがって、この工程においては、薄形化したシリコン基板の表面、即ちCCDが形成されている面を熱抵抗が小さい非導電性の樹脂などを介して、パッケージに接着する。

【0026】

【発明が解決しようとする課題】しかし、上述のようなアクيومレーションは効果の持続性に問題があり、短波長光の感度を向上させるためにこのような作業を施したのも関わらず、逆に短波長光の照射で裏面酸化膜についた負イオンが除去、中和され易くなる。即ち、アクيومレーションされていた状態が再び空乏状態となり、短波長光に対する感度が失われてしまうという問題がある。

【0027】また、上述の検出器を製造するプロセスにおいても、多少の問題点を有している。例えば、基板のエッチングに溶解律速のエッチャントを用いるため、エッチング液の攪拌を十分に行い、常に新しいエッチャントをエッチング面に供給しないと膜厚が著しく不均一になる。しかし、どんなに攪拌を行っても、エッチング部分とエッチングしない部分の境界部には、エッチャントの回り込みなどにより膜厚が不均一になりやすい。さらに、膜厚を測定する際に、ホルダから一度CCDをはずさなくてはならない。しかし、すでにCCDの受光部にあたる部分は膜厚がかなり薄くなっているため、サブストレイトから取ったり張り付けたりしている最中に薄膜部を破損してしまうというおそれがある。

【0028】裏面酸化の工程では、酸化を低温で行うため、酸化膜の性質が余りよくなく、トラップが多くリーク電流の発生源として働いてしまう可能性が高い。

【0029】実装工程においては、薄形化した厚さ10 $\mu$ mから15 $\mu$ mのシリコンに後から樹脂をつけて硬化させた場合、樹脂の硬化時に圧縮応力が生じ、薄膜部にその力が集中して波打った状態になり、ひび割れなどの破損に至ることがある。

【0030】以上述べたように、従来の裏面照射型CCDはその構成を得るプロセスをも含めて問題点を有している。即ち、基板を薄形化後にアルミニウム配線を行う場合は、裏面のアクيومレーションの自由度が大きくなり、イオン注入、2ステップアニールを行うことができる。しかしアルミニウム配線時の写真食刻法が困難であり、しかもダイボンド樹脂の硬化時に、薄膜部が破損

するおそれがある。即ちこの方法は、特性的には良いものが得られるが、歩留まりはかなり低い。

【0031】一方、アルミニウム配線後に薄形化を行う場合は、薄形化後は組み立てを行うのみなので、薄膜部が破損する確率は小さくなる。しかし、裏面アクيومレーションが困難であり、仮にできたとしてもリーク電流が大きく、しかも感度の経時変化が大きいという問題が生じる。また、ダイボンド樹脂の硬化時に、薄膜部が破損するおそれがある。即ちこの方法は、歩留まり的に10は悪くないが、特性的には非常に問題がある。

【0032】そこで本発明は、上記の問題点を解決した半導体エネルギー検出器を提供することを目的とする。

【0033】

【課題を解決するための手段】本発明の半導体エネルギー検出器は、第1の導電型を有する半導体薄板の表面に、1次元あるいは2次元的な配列を有する電荷読み出し部が形成され、半導体薄板の電荷読み出し部の形成面に対する裏面から入射する電磁波あるいは荷電粒子のエネルギーを検出する半導体エネルギー検出器において、半導体薄板の裏面には、第1の導電型を有し、且つ、半導体薄板の組成材料の有するバンドギャップよりも大きなバンドギャップを有する半導体材料からなる半導体層が形成され、半導体薄板の形成材料と半導体層の形成材料とは同種の材料であり結晶構造が相違していることを特徴としてもよいし、半導体薄板と半導体層とはヘテロ結合していることを特徴とする。ここで、半導体薄板の形成材料と半導体層の形成材料とは異種の材料であることを特徴としてもよい。また、半導体層の内部で光電変換が実質的には行なわれない厚さに形成されることを特徴としてもよい。30

【0034】また、本発明の半導体エネルギー検出器の製造方法は、(a)第1の導電型を有する半導体基板の表面に、1次元あるいは2次元的な配列を有する電荷読み出し部を形成する第1の工程と、(b)電荷読み出し部の形成面に対する半導体基板の裏面を加工して、半導体基板を半導体薄板とする第2の工程と、(c)半導体薄板の裏面に、第1の導電型を有し、且つ、半導体薄板の組成材料の有するバンドギャップよりも大きなバンドギャップを有するとともに半導体薄板の組成材料とヘテロ接合する半導体材料を堆積して半導体層が形成する第3の工程と、を含むことを特徴とする。ここで、半導体層の形成をCVD法で行うことを特徴としてもよい。

【0035】

【作用】本発明の半導体エネルギー検出器によれば、半導体薄板の有する導電型と同一の導電型を有し、かつ、半導体薄板の有する単位間エネルギーよりも大きな単位間エネルギーを有する半導体材料からなる半導体層が、エネルギー線の入射する半導体薄膜の裏面側にヘテロ接合して形成されている。このため、この検出器の入射面側の信号電荷に対するポテンシャルが高くなり、入射エネルギー線50



によって生じた信号電荷は、エネルギー線入射面の方向への拡散が抑制され、有効に電子群を蓄積するアキュムレーション状態を実現する。蓄積電荷の読み出しにあたって、入射エネルギー線のエネルギー量を忠実に反映した電荷量を転送することができ、エネルギー線に対する感度および精度が向上した半導体エネルギー検出器を得ることができる。

【0036】また、本発明の半導体エネルギー検出器の製造方法によれば、まず、半導体基板の一方の表面に電荷読み出し部を形成する。次に、他方の表面（以下、裏面と呼ぶ）を研磨あるいはエッチングして半導体基板を薄板化する。次いで、裏面側に半導体薄膜と同一の導電型を有し、かつ、エネルギー準位のバンドギャップが半導体薄膜よりも大きな半導体材料を堆積させて半導体層を形成する。したがって、ワイドバンドギャップの半導体材料をCVD法などの比較的低温のプロセスで行うことにより、アルミニウムの融点以下で堆積させることが可能であり、この堆積工程の前に施された、電荷読み出し部で施したアルミニウム配線の溶融、変形を引き起こさずに済む。また、低温酸化などの必要が無くなるので、上記のアルミニウム配線の腐食の心配無しに半導体エネルギー検出器を製造できる。

【0037】

【実施例】以下、本発明に係る半導体エネルギー検出器の実施例について図を用いて説明する。

【0038】図1は、本発明の実施例に係わる半導体エネルギー検出器の断面図を示すものである。同図に示すように、パッケージ38内の底部に固定されているシリコンウエファ35上には、そのシリコンウエファ35に対向する面にCCD31を有するP型シリコン薄板としてのP型シリコン層48が、金属バンプ32を介して設置されている。このP型シリコン層48のシリコンウエファ35に対向していない面には、P型アモルファスシリコンカーバイド（以後、P型a-シリコンカーバイドと呼ぶ）からなるワイドバンドギャップ層24が設けられている。

【0039】上述の裏面照射型半導体エネルギー検出器では、P型シリコン層48の受光面側にP型シリコン層48とヘテロ接合し、かつ、P型シリコン層48よりもバンドギャップが大きいP型a-シリコンカーバイドからなるワイドバンドギャップ層24が設けられる。これによりアキュムレーション状態が維持されている。したがって、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。

【0040】図2は、この半導体エネルギー検出器の受光部の構造を示す。この図で示す構造は、図13に示した従来の半導体エネルギー検出器の受光部の構造に類似して見えるが、P型シリコン層48の受光面側に形成されたワイドバンドギャップ層24がP型a-シリコンカーバイドからなる半導体層であり、ヘテロ接合している点で

異なるとともに、アキュムレーション状態の発現に関して効果が顕著に異なる。

【0041】図3は、上述のP型シリコン層48とP型a-シリコンカーバイドからなるワイドバンドギャップ層24とのヘテロ接合の様子を示している。図3(a)は、P型シリコンとP型a-シリコンカーバイドとの内部のバンド構造を示す。なお、数値の単位はeVであり、P型a-シリコンカーバイドに関する値は製法により若干異なることがある。

10 【0042】シリコンのバンドギャップが1.1eVであるのに対して、a-シリコンカーバイドは2eV程度のバンドギャップを有する半導体である。また、シリコンの格子定数は約0.357nmであるのに対して、a-シリコンカーバイドは約0.356nm（製法によって若干異なる）の格子定数であり少々狭くなっている。なお、シリコンの電子親和力とa-シリコンカーバイドの電子親和力とは同程度である。

20 【0043】この様なバンドギャップが異なる半導体を接触させると、平衡状態ではフェルミ準位が一定になるように界面で相互作用が生じる。すなわち、P型のa-シリコンカーバイドからP型のシリコンへ電子が移動し、この逆方向へ正孔が移動して、フェルミ準位が揃うことにより平衡状態が達成される。したがって、これらの二つの半導体を接触させたときのバンド構造は、図3(b)に示すとおりとなる。接触面付近においてバンドが不連続になるのは格子不整合のためであり、シリコンとa-シリコンカーバイドとの格子定数の相違が比較的大きいので、多くの界面準位が接触面付近には存在することになると考えられる。

30 【0044】図3(b)のような平衡状態での接触面付近の伝導帯をみると、a-シリコンカーバイド領域では伝導帯の最小エネルギー値が降下するので同図の上ではバンドが下向きに曲り、シリコン領域では伝導帯の最小エネルギー値が上昇するので同図の上ではバンドが上向きに曲がる。したがって、裏面照射型CCDの入射面にa-シリコンカーバイドからなる層を形成すれば、バンドギャップの相違によってヘテロ接合が形成され、接触面付近のP型シリコンにとって非常に好ましいアキュムレーション状態が実現される。

40 【0045】図4は、ワイドバンドギャップ層24（図中では単にP-SiCと記す）からP型シリコン薄膜48、更にCCDポテンシャル井戸3に至るまでを電子にとってのポテンシャル図として表したものである。図4(a)は、入射エネルギー線を光とし、ワイドバンドギャップ層24が比較的厚い（数十μm程度以上）場合を示したものである。この場合、波長が600nm程度以下の比較的短い光はワイドバンドギャップ層24の領域で吸収され、光電変換される。ワイドバンドギャップ層24内で中性領域が広いと、光電変換された電子群は中性領域内をさまようことになり、そのうちに再結合する。

たまたま拡散移動によって接触面に到達した信号電荷のみがポテンシャルの傾きに従ってP型シリコン薄膜48、更にCCDポテンシャル井戸3へと流れ込み、信号として読み出されることになる。すなわち、中性領域が広がるほどワイドバンドギャップ層24が厚いと短波長感度が低下する。中性領域が出現しない、あるいは中性領域が充分狭くなるワイドバンドギャップ層24の厚さは数十 $\mu\text{m}$ 程度以下である。これならば、ワイドバンドギャップ層24内はほぼ全域にわたって電界が加わった状態となり、発生した信号電荷のほぼ全てがP型シリコン薄膜48、更にCCDポテンシャル井戸3へと流れ込み、信号として読み出されるので短波長光に対しても感度がよくなる。先にシリコンと $\alpha$ -シリコンカーバイドとの格子定数の比較的大きな相違が多く、界面準位を発生させることを述べたが、接触面は電界の最も強い部分であり、高速で信号電荷が通過できるため、界面準位で信号電荷が捕獲される確率は小さい。

【0046】更に感度を向上するため、図5に示すようにワイドバンドギャップ層24を数百nmから数千nm程度の厚さに形成し、接触面付近のP型シリコン層のバンドを曲げるためだけに使用し、実質的にはワイドバンドギャップ層24で光電変換が発生しない構造とすることもできる。このような構造とすれば、ワイドバンドギャップ層24は非常に薄いので、長波長光は勿論のこと短波長光もワイドバンドギャップ層24をほとんど透過し、P型シリコン層48で吸収され、光電変換を行う。短波長光は接触面付近で光電変換し信号電荷を生じるが、図5に示すように、接触面付近では良いアキュムレーション状態となっているので、発生した信号電荷である電子群は効率的にCCDポテンシャル井戸3へ流れ込む。したがって、短波長光に対する感度を飛躍的に向上できる。

【0047】次に、上述の実施例に係る半導体エネルギー検出器の製造方法について図を用いて説明する。

【0048】まず、出発材であるP/P<sup>+</sup>型単結晶エピタキシャル成長によってP型シリコン層48を得る(図6(a))。このP型シリコン層48は、例えば比抵抗30 $\Omega\text{-cm}$ 、厚さ30 $\mu\text{m}$ であり、サブストレイトは、例えば比抵抗0.01 $\Omega\text{-cm}$ 、厚さ500 $\mu\text{m}$ である。

【0049】次に、P型シリコン層48の表面を加工する。同図(b)は、P型シリコン層48の上面にCCD31を形成し、さらに金属配線30を施した状態を示している。

【0050】次いで、同図(b)までの工程を終了したP型シリコン層48の表面と裏面との全面に、シリコン窒化膜33を堆積する。その後、CCD31が形成されている面上であって金属バンプ32を成長させたい領域のシリコン窒化膜33を除去する。また、CCD31が形成された面と反対の面では、薄型化したい部分のシリ

コン窒化膜を除去する。

【0051】ここで金属バンプ32の形成方法として、半田バンプを超音波法にて形成する例を示す。

【0052】図7は、超音波半田付け装置の概略図である。半田槽45内を満たす半田43は、半田槽45の内部に設置されている攪拌子44によって噴流されている。この半田槽45の上部には、噴流している半田43の中にCCDウエファ41が垂直に配置され、半田槽45の外部からそのCCDウエファ41の垂直面に対向するように、超音波振動子42が置かれている。この装置では、超音波振動子42に対向するCCDウエファ41の面に、常に新鮮な半田が送られており、また、半田槽45にN<sub>2</sub>を流入させることによって半田の酸化を防いでいる。

【0053】次に、上述の装置を用いた超音波半田付けのメカニズムを説明する。まず、超音波の作用で半田43中にキャビティが生じ、このキャビティがCCDウエファ41の表面で圧潰すると、ウエファ41に形成されているA1電極上の自然酸化膜が破壊される。この自然酸化膜が取り除かれると、形成されているA1電極との間で共晶反応が起こり、バンプが形成される。パッシベーション膜など金属でない部分には共晶反応は起こらないため、半田の付着はない。したがって、シリコン窒化膜33が形成されている部分には半田の成長はなく、またCCD31が形成されている側と反対の面は、一部シリコン窒化膜33は無いがそこには薄い自然窒化膜がついたP型シリコン48層が存在するため、やはり半田の成長はない。

【0054】図6(c)に示される半田バンプ32は、上述の方法によって形成されたものである。超音波法では、100ミクロン平方のA1パターンに対して、数十ミクロンの高さのバンプが形成されるが、下地のA1の膜厚が厚いほど、形成されるバンプの高さも高くできるのでその調整が可能である。また、バンプの形成法としては他に蒸着法やメッキ法もあり、それらの方法によっても形成されるバンプの高さを変えることができる。

【0055】最後に、ダイシングなどによって個々のチップに分割される。これにより、図6(c)の状態となる。

【0056】以上の手順とは別に、サブストレイトを用意する。図8(a)は、CCDチップをサポートするためのサブストレイトを示したものであり、シリコンウエファか、あるいはCCDチップと熱膨張係数が等しい硝子が好ましい。ここでは、サブストレイトとしてシリコンウエファ35を用いたときについて説明する。まず、シリコンウエファ35を酸化して適当な厚さの酸化膜37を形成し、A1等の金属配線34を施す。この金属配線34は、CCDチップ上に形成した金属バンプ32とパッケージの電極を間接的に結ぶものである。その後、シリコンのエッチャントに触れる部分をガードするため



シリコン窒化膜36を両面に堆積し、後の工程でCCDチップがシリコンウエファ35に突き合わされる領域を、エッチングにより除去する。しかる後、図6(c)及び図8(a)に示すものを一体にする。

【0057】図8(b)は、前述の金属バンプ32を形成したCCDチップと金属配線34を施したシリコンウエファ35をバンプボンディングした状態を示している。図示されるように、CCD31が形成されている側が突き合わせ面となっている。また、同図においてはその突き合わせ面に、後に使用されるシリコンのエッチャントが入り込まないように樹脂50を充填する。この樹脂50は、例えば日本化薬株式会社製 カヤトロンML-230Pである。樹脂50の硬化は熱処理によって行う。前述したように、ほとんどの樹脂は硬化時に圧縮応力を生じるが、CCD受光部はまだ薄形成化するので、圧縮応力はCCDチップ全体に分散され、薄形成後に受光面にひびが入ったり割れたりすることはない。なお、樹脂50に必要とされる特徴は、非導電性であること、後のプロセスで使用するエッチャントに耐えること、アルカリ金属等を含まないこと、硬化時に適当な収縮応力が働きバンプボンディング部のコンタクトを良好に保つこと、ダイボンドやワイヤボンド時の150℃程度の熱に耐えることである。

【0058】その後、8規定KOH:H<sub>2</sub>O:イソプロピルアルコール=950ml:1150ml:700mlなどのアルカリ系エッチャントを用い、チップの周辺部を厚く残したまま裏面からシリコン基板をエッチングする(図8(c))。ここでは、エッチャントとして、HF:HNO<sub>3</sub>:CH<sub>3</sub>COOH=1:3:8の割合のエッチング液を用いてもよい。このエッチング液は硝酸リッチであるため、弗酸による溶解律速でエッチングが進む。エッチングは、P型シリコン層48を貫通しない状態で止めることが重要である。エッチャントの組成と温度が一定ならばエッチングレートは変わらず、したがって、2~3回エッチング途中で膜厚を測定すれば、意図したところでエッチングを終了できる。

【0059】本実施例ではアルカリエッチャントを用い、エッチャントを78℃に加熱し、シリコンウエファ35にバンプボンディングされたCCDチップを自公転するように回転させ、エッチング面に発生する泡を取り除く。泡の除去が不十分な場合、エッチング面の荒れや膜厚の不均一が生じる可能性があるからである。エッチングレートは、およそ0.6μm/分が得られる。

【0060】弗硝酸系の酸エッチャントの場合、結晶欠陥によって受光面を曇らせないために、弗酸の量を少なくした溶解律速のエッチングが用いられるが、溶解律速のエッチャントは膜厚が不均一になり易い。しかしアルカリ系エッチャントでは、異方性エッチングが可能であるため膜厚は均一になる。

【0061】本実施例のCCDはMOS系のデバイスで

あるから、当然面方位<100>のシリコンウエファが使用される。アルカリ系エッチャントは、例えばKOHを含む場合<111>面のエッチング速度が<110>面や<100>に比べて数百倍遅く、したがって泡などがエッチング面につかないようにさえしておけば、<100>面に沿ってエッチングが進むので、膜厚は均一になる。

【0062】シリコンエッチング終了後、表面のシリコン窒化膜33を除去する。その後、同図(d)に示すように、CVD法等によりワイドバンドギャップ半導体材料であるP型a-シリコンカーバイドを堆積させ、受光面にワイドバンドギャップ層24を形成する。ここで、光CVD法を用いれば、更に低温化が可能である。

【0063】図9は、上述の方法により形成された裏面照射型CCDをセラミック等のパッケージ38に組み込み、シリコンウエファ35とパッケージ38間をボンディング39によって接続した状態を示す。なお、X線検出や素粒子検出などの場合は、窓材40は不要である。

【0064】本発明は、上記実施例に限定されるものではなく、様々の変形が可能である。例えば、ワイドバンドギャップ層の材料としては、上記のP型a-シリコンカーバイド以外にP型アモルファスシリコンやダイヤモンド薄膜、カドミウムテルル、ヒ化ガリウム、ヨウ化セシウムなどを使用してもよい。また、上記実施例ではP型の導電型半導体を使用した、N型の導電型半導体を使用してもよい。

【0065】

【発明の効果】以上詳細に説明したように、本発明の半導体エネルギー検出器によれば、ワイドバンドギャップの半導体層が半導体薄板の裏面に設けられ、ヘテロ接合を形成している。このワイドバンドギャップ層は、半導体薄板に比べて信号電荷に対するポテンシャルが高く、良好なアキュムレーション状態を実現する。したがって光の入射等によって発生した信号電荷を効率良く読み取ることができる。また、チャージアップによって暗電流が増加することもない。また、ワイドバンドギャップ層は温度に対して安定であり、比較的高温の環境で使用する場合にも暗電流の生成源とはならない。従って、エネルギー線に対する感度が向上し、安定した半導体エネルギー検出器を得ることができる。

【0066】また、本発明の製造方法によれば、金属配線後に低温でアキュムレーション処理ができ、長時間の低温酸化等も必要なくなり、簡単なプロセスで感度の良い、安定した半導体エネルギー検出器を製造できる。

【図面の簡単な説明】

【図1】本発明に係る実施例の断面構造を示す概略図である。

【図2】本発明に係る実施例の裏面照射型検出器を示す図である。

【図3】本発明に係る実施例のヘテロ接合の説明図で

ある。

【図4】本発明に係わる実施例の裏面照射型検出器のポテンシャルプロファイルを示す図である。

【図5】本発明に係わる実施例の裏面照射型検出器のポテンシャルプロファイルを示す図である。

【図6】本発明に係る半導体エネルギー検出器の製造工程図である。

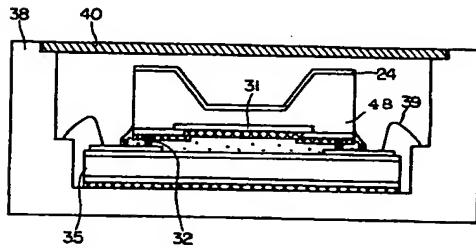
【図7】金属バンプを形成するための装置を示す図である。

【図8】本発明に係る半導体エネルギー検出器の製造工程図である。

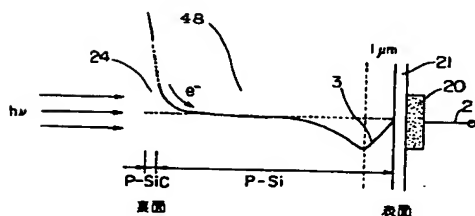
【図9】本発明に係る半導体エネルギー検出器の製造工程図である。

【図10】フル・フレイム転送方式の構成を示す上面図

【図1】



【図5】



である。

【図11】フル・フレイム転送方式の要部を示す断面図である。

【図12】読み出し回路図とクロックパルス出力波形を示す図である。

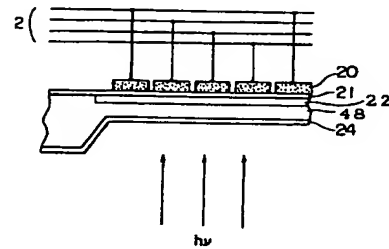
【図13】従来の裏面照射型検出器を示す図である。

【図14】従来の裏面照射型検出器のポテンシャルプロファイルを示す図である。

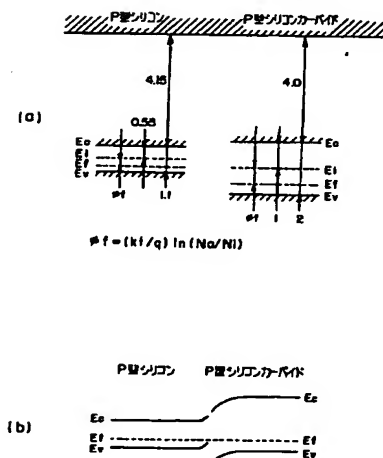
【符号の説明】

10 22…n-ウェル、24…ワイドバンドギャップ層、35…シリコンウエファ、31…CCD、32…金属バンプ、38…パッケージ、40…窓材、48…P型シリコン層。

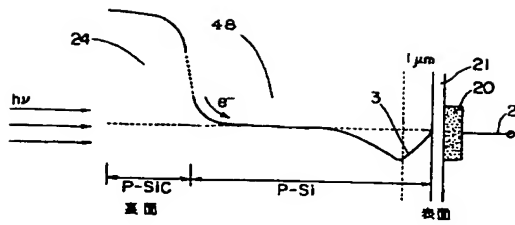
【図2】



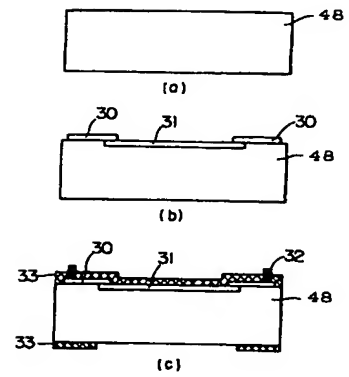
【図3】



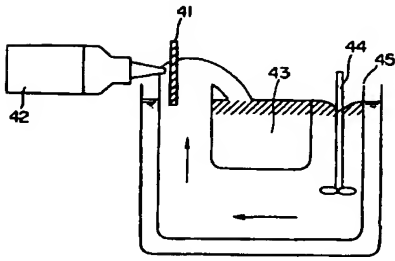
【図4】



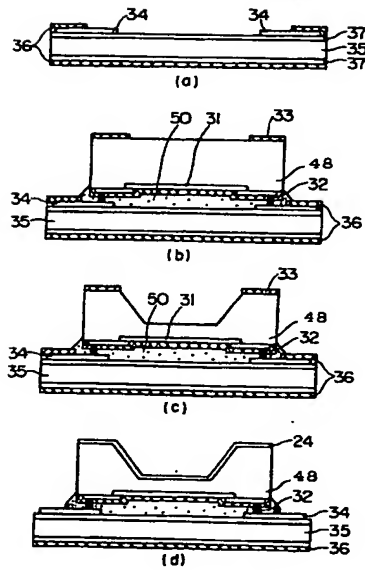
【図6】



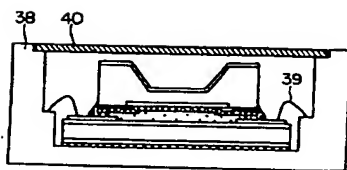
【図7】



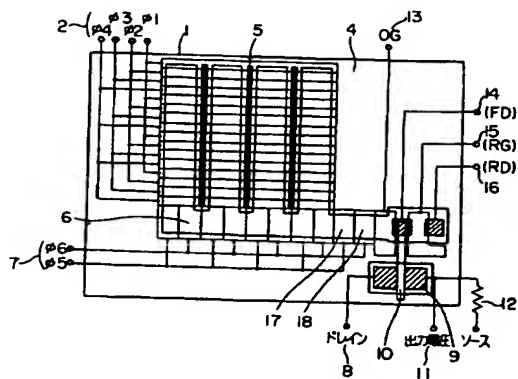
【図8】



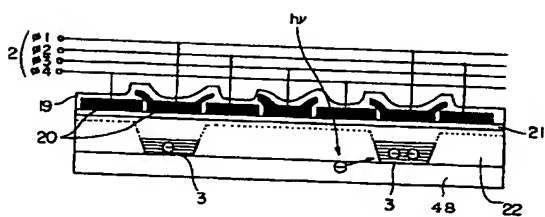
【図9】



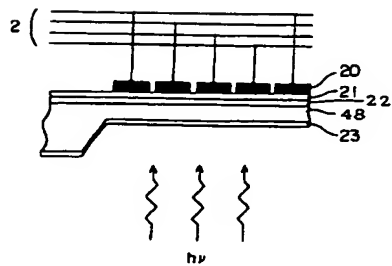
【図10】



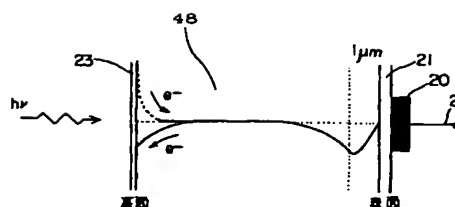
【図11】



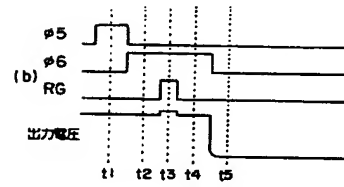
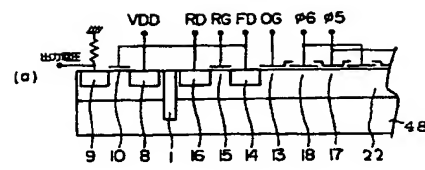
【図13】



【図14】



【図12】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**